

Requested Patent: JP2119333A

Title: DELAY INSERTION/DESERTION CIRCUIT ;

Abstracted Patent: JP2119333 ;

Publication Date: 1990-05-07 ;

Inventor(s): SHIROMIZU YASUBUMI ;

Applicant(s): NIPPON ELECTRIC CO ;

Application Number: JP19880272074 19881028 ;

Priority Number(s): JP19880272074 19881028 ;

IPC Classification: H04J3/06 ; H04L7/00 ;

Equivalents:

ABSTRACT:

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-119333

⑤ Int. Cl.<sup>5</sup>

H 04 J 3/06  
H 04 L 7/00

識別記号

D  
A

庁内整理番号

6914-5K  
6914-5K

⑬ 公開 平成2年(1990)5月7日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 遅延挿脱回路

⑮ 特 願 昭63-272074

⑯ 出 願 昭63(1988)10月28日

⑰ 発 明 者 白 水 泰 文 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑲ 代 理 人 弁理士 井出 直孝

明 細 書

1. 発明の名称  
遅延挿脱回路

2. 特許請求の範囲

1. 受信データを所定量遅延させる第一の遅延回路(16)と、伝送路フレームパルス信号を所定量遅延させる第二の遅延回路(17)と、上記受信データと上記第一の遅延回路の出力信号とを選択して出力し、上記伝送路フレームパルス信号と上記第二の遅延回路の出力信号とのいずれかを選択して出力する第一の選択回路(18)と、上記伝送路フレームパルス信号と対向装置の装置内基準フレームパルスとの位相を比較し比較結果に基づいて上記第一の選択回路の制御を行う位相比較回路(20)とを備えた遅延挿脱回路において、

伝送路からの入力信号からマルチフレーム信号を分離する分離回路と、このマルチフレーム信号を一時保持し規定の位相で出力するメモリ回路と、

このメモリ回路の出力信号を1フレーム分遅延させる第三の遅延回路と、上記位相比較回路の制御に基づいて上記メモリ回路の出力信号と上記第三の遅延回路の出力信号とのいずれかを選択する第二の選択回路と、上記分離回路の出力信号にこの第二の選択回路の出力信号を挿入し上記受信データとして上記第一の選択回路および上記第一の遅延回路に与える挿入回路とを備えたことを特徴とする遅延挿脱回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、時分割多重通信方式に利用する。本発明はフレームアライメント回路の遅延挿脱回路に利用する。

〔概要〕

本発明は遅延挿脱回路において、

入力信号に対して遅延の挿脱を行うとともにマルチフレーム信号に対しても同様に一フレーム分の遅延を行うことにより、

遅延の挿脱により発生するマルチフレーム同期外れをなくすようにしたものである。

〔従来の技術〕

第2図は従来例の遅延挿脱回路のブロック構成図である。

従来、遅延挿脱回路は、第2図に示すように遅延回路16、17、選択回路18、メモリ回路19および位相比較回路20で構成される。選択回路18は、位相比較回路20の制御情報により伝送路からの入力信号1と、入力信号1を所定量遅延させる遅延回路16の出力とを選択し、また伝送路からのフレームパルス2と、フレームパルス2を所定量遅延させる遅延回路17の出力とのいずれかを選択して出力する。位相比較回路20は、伝送路からのフレームパルス2と装置内基準フレームパルス4との位相比較を行い、フレームパルス2と装置内基準フレームパルス4との位相差の規定基準値に基づき選択回路18を制御して遅延回路16、17の挿脱を行う。すなわち、メモリ回路19での書込位相と読出位相とをあらかじめ定めた位相差以上保持し、メ

モリ回路19での書込位相と読出位相との衝突を防止し、入力信号1の連続性を保持して出力信号3を送信する。

〔発明が解決しようとする問題点〕

しかし、このような従来例の遅延挿脱回路では、1フレーム単位でメモリ回路19の書込および読出を行うだけであるためにマルチフレーム信号が重畳されている信号においては遅延の挿脱を行った場合に1フレーム単位のフレーム同期は保持されたとしてもメモリ回路19から出力された信号においては、マルチフレーム同期が外れる欠点があった。

本発明は上記の欠点を解決するもので、遅延の挿脱により発生するマルチフレーム同期外れのない遅延挿脱回路を提供することを目的とする。

〔問題点を解決するための手段〕

本発明は、遅延挿脱回路において、伝送路上の入力信号からマルチフレーム信号を分離する分離回路と、このマルチフレーム信号を一時保持し規定の位相で出力するメモリ回路と、このメモリ回

路の出力信号を1フレーム分遅延させる第三の遅延回路と、上記位相比較回路の制御に基づいて上記メモリ回路の出力信号と上記第三の遅延回路の出力信号とのいずれかを選択する第二の選択回路と、上記分離回路の出力信号にこの第二の選択回路の出力信号を挿入して受信データとして第一の選択回路および第一の遅延回路に与える挿入回路とを備えたことを特徴とする。

〔作用〕

分離回路は伝送路上の入力信号からマルチフレーム信号を分離する。メモリ回路はこのマルチフレーム信号を一時保持し規定の位相で出力する。第三の遅延回路はメモリ回路の出力信号を一フレーム分遅延する。第二の選択回路は位相比較回路の制御に基づいてメモリ回路の出力信号と第三の遅延回路の出力とのいずれかを選択して出力する。挿入回路は分離回路の出力信号に選択回路の出力信号を挿入して第一の選択回路および第一の遅延回路に与える。以上の動作により遅延の挿脱により発生するマルチフレーム同期外れをなくすこと

ができる。

〔実施例〕

本発明の実施例について図面を参照して説明する。第1図は本発明一実施例遅延挿脱回路のブロック構成図である。第1図において、遅延挿脱回路は、受信データを入力して所定量遅延させる第一の遅延回路として遅延回路16と、伝送路フレームパルス信号2を入力して所定量遅延させる第二の遅延回路として遅延回路17と、上記受信データと遅延回路16の出力信号とを選択して出力し、また伝送路フレームパルス信号2と遅延回路17の出力信号とのいずれかを選択して出力する第一の選択回路として選択回路18と、選択回路18の出力する上記受信信号または遅延回路16の出力信号を対向装置内の装置内基準位相におきかえて出力信号3を出力するメモリ回路19と、選択回路17の出力する伝送路フレームパルス信号2と対向装置内の装置内基準フレームパルス4との位相を比較し比較結果に基づいて選択回路18の制御を行う位相比較回路20とを備える。

ここで本発明の特徴とするところは、伝送路上の入力信号1からマルチフレーム信号を分離する分離回路11と、このマルチフレーム信号を一時保持し規定の位相で出力するメモリ回路12と、メモリ回路12の出力信号を1フレーム分遅延させる第三の遅延回路として遅延回路15と、位相比較回路20の制御に基づいてメモリ回路12の出力信号と遅延回路15の出力信号とのいずれかを選択する第二の選択回路として選択回路14と、分離回路11の出力信号にこの選択回路14の出力信号を挿入して受信データとして選択回路18および遅延回路16に与える挿入回路13とを備えたことにある。

このような構成の遅延挿脱回路の動作について説明する。第1図において、入力信号1は、分離回路11にてマルチフレーム信号が分離され、マルチフレーム信号は、メモリ回路12に送出されるとともに、マルチフレーム信号以外の入力信号は挿入回路13へ送出される。メモリ回路12では、マルチフレーム信号を一時保持し、所定の位相で出力し選択回路14に送出し、また遅延回路15に送出し

1フレーム分の遅延を挿入した後に選択回路14に送出する。

選択回路14では、位相比較回路20の比較結果より生成した選択制御信号によりメモリ回路12の出力信号と遅延回路15の出力信号とのいずれかを選択し、挿入回路13へ出力する。挿入回路13では、再びマルチフレーム信号を重ねし、選択回路18および遅延回路16へ送出する。また、伝送路フレームパルス2は選択回路18および遅延回路17へ送出される。選択回路18では、挿入回路13の出力信号と遅延回路16の出力信号と伝送路フレームパルス2と遅延回路17の出力との選択を位相比較回路20の比較結果により行い、マルチフレームが重ねられた入力信号をメモリ回路19へ送出し、またフレームクロックを位相比較回路20へ送出する。

メモリ回路19では装置内の基準位相に伝送路からの入力信号をおきかえ出力信号3を送出する。

位相比較回路20では、伝送路フレームパルス2と装置内基準フレームパルス4との位相を比較することによりメモリ回路19での読出位相と書込位

相との衝突が生じないように選択回路18の遅延の挿脱を行う選択制御信号を発生する。また、位相比較回路20の比較結果よりマルチフレーム信号に対して遅延の挿脱を行う。メモリ回路19では、1フレーム単位での位相管理しか行っていないために遅延を挿入する方向での書込位相と読出位相との衝突防止では、メモリ回路19の出力信号によりマルチフレーム同期をとるとマルチフレーム同期外れを生ずるためにマルチフレーム信号の1フレーム分の遅延の挿脱を行っている。

#### 〔発明の効果〕

以上説明したように、本発明は、遅延の挿脱により発生するマルチフレーム同期外れをなくすることができる優れた効果がある。

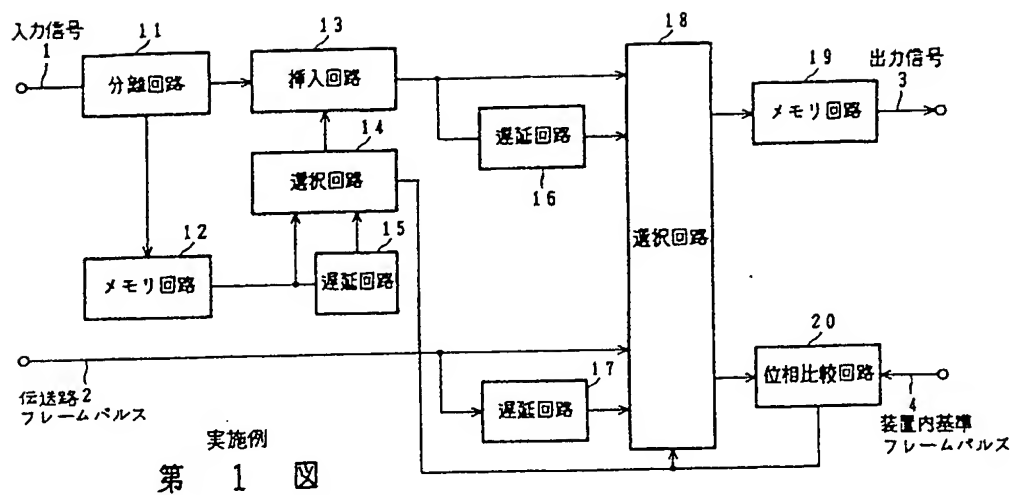
#### 4. 図面の簡単な説明

第1図は本発明一実施例遅延挿脱回路のブロック構成図。

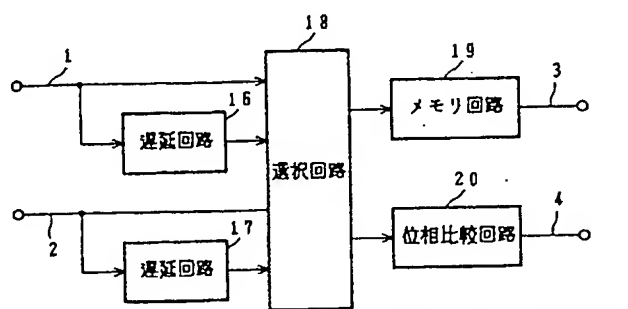
第2図は従来例の遅延挿脱回路のブロック構成図。

1…入力信号、2…伝送路フレームパルス、3…出力信号、4…装置内基準フレームパルス、11…分離回路、12、19…メモリ回路、13…挿入回路、14、18…選択回路、15、16、17…遅延回路、20…位相比較回路。

特許出願人 日本電気株式会社  
代理人 弁理士 井出直孝



実施例  
第 1 図



第 2 図 従来例